



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **06037272 A**(43) Date of publication of application: **10.02.94**

(51) Int. Cl.

H01L 27/108
H01L 27/04
(21) Application number: **04191109**(22) Date of filing: **17.07.92**(71) Applicant: **TOSHIBA CORP**
(72) Inventor:
HIEDA KATSUHIKO
NITAYAMA AKIHIRO
TAKATOU HIROSHI
OZAKI TORU
YAMADA TAKASHI

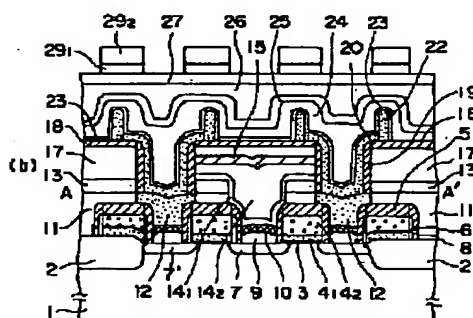
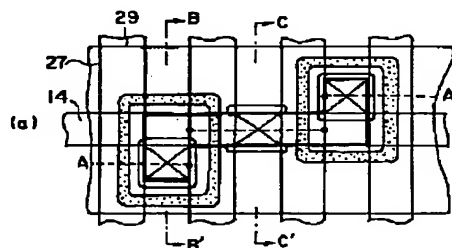
(54) SEMICONDUCTOR MEMORY DEVICE

(57) Abstract:

PURPOSE: To provide a semiconductor memory device which can be protected against a junction leakage current and a short channel effect.

CONSTITUTION: An epitaxial Si layer 9 higher than an impurity diffusion layer 7 in impurity concentration is provided to the impurity diffusion layer 7 of a first MOS transistor formed on the memory cell region on an Si substrate 1, and a filling layer formed of the same material and at the same time with wiring layers 14₁ and 14₂ and filled into a contact hole provided to the impurity diffusion layer of the MOS transistor is provided.

COPYRIGHT: (C)1994,JPO&Japio



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-37272

(43)公開日 平成6年(1994)2月10日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/108 27/04	C	8427-4M 8728-4M	H 0 1 L 27/ 10	3 2 5 C

審査請求 未請求 請求項の数2(全10頁)

(21)出願番号 特願平4-191109

(22)出願日 平成4年(1992)7月17日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 稗田 克彦

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 仁田山 晃寛

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(72)発明者 高東 宏

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

(74)代理人 弁理士 鈴江 武彦

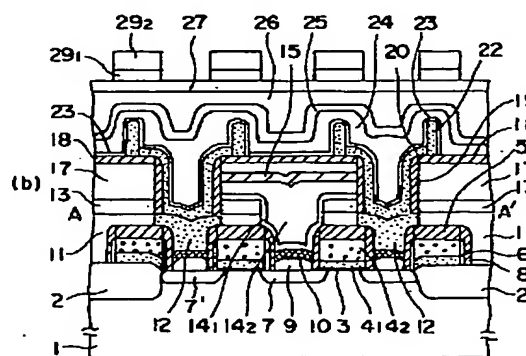
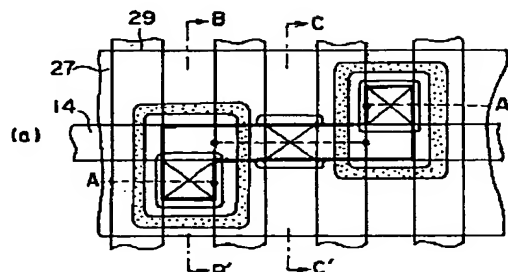
最終頁に続く

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【目的】本発明は、接合リークやショート・チャネル効果を防止し得る半導体記憶装置を提供すること。

【構成】Si基板1のメモリセル領域に形成された第1のMOSトランジスタの不純物拡散層7上に設けられ、この不純物拡散層7の不純物濃度より高い不純物濃度を有するエピタキシャルSi層9と、ビット配線層14₁、14₂と同一工程で形成され、配線層14₁、14₂と同じ材料からなる、周辺回路領域のMOSトランジスタの不純物拡散層7aのコンタクトホールを充填する充填層14₁、14₂とを備えていることを特徴とする半導体記憶装置。



【特許請求の範囲】

【請求項1】半導体基板のメモリセル領域に形成された第1のMOSトランジスタと、

半導体基板の周辺回路領域に形成された第2のMOSトランジスタと、

前記第1のMOSトランジスタの第1の不純物拡散層及び第2の不純物拡散層上に設けられ、前記第1の不純物拡散層及び前記第2の不純物拡散層の不純物濃度より高い不純物濃度を有するエピタキシャル層と、

前記半導体基板上に設けられ、前記エピタキシャル層及び前記第2のMOSトランジスタの不純物拡散層上にコンタクトホールを有する層間絶縁膜層と、

前記第1の不純物拡散層のエピタキシャル層上の前記コンタクトホールを充填する前記層間絶縁膜上に形成された配線層と、

この配線層と同一工程で形成され、前記第2のMOSトランジスタの不純物拡散層上の前記コンタクトホールを充填する前記配線層と同じ材料からなる充填層と、

前記第2の不純物拡散層と電気的に接続するキャパシタとを具備してなることを特徴とする半導体記憶装置。

【請求項2】前記第1のMOSトランジスタのゲート電極の側部及び上部に絶縁膜が設けられていることを特徴とする請求項1に記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、1個のMOSトランジスタと1個のキャパシタによりメモリセルを構成するダイナミック型の半導体記憶装置(DRAM)に関する。

【0002】

【従来の技術】近年、DRAMの高集積化は目覚ましいものがある。DRAMの更なる高集積化のためにメモリセル構造としてキャパシタをトランジスタの上に積み上げたいわゆるスタック型キャパシタセルが各種提案されている。この種のメモリセルは、キャパシタ面積を広く取ることができ、トレンチ型のように基板に溝を掘ることなく形成できるため、製造時における工程検査が容易であるなどの理由で注目されている。図10に従来のスタック構造のDRAMのメモリセルの断面図を示す。

【0003】図中、104₁、104₂はワード線(ゲート電極)であり、この上にキャパシタが張り出している構造になっている。上記キャパシタは、フィールド絶縁膜102で区分されたSi基板101上に形成され、プレート電極110とキャパシタ絶縁膜109とキャパシタ下地電極層(蓄積電極)107とで構成され、層間絶縁膜106に開口されたコンタクトホールを介してn⁺型拡散層108に接続している。

【0004】一方、MOSトランジスタは、ゲート絶縁膜103、ゲート電極104₁、104₂、n⁻型拡散層105、n⁺型拡散層108と構成され、LDD構造を採用している。そして、層間絶縁膜106、111に

開口されたコンタクトホールを介してビット線112がn⁺型拡散層113に接続している。しかしながら、このように構成された従来のスタック型メモリセルには次のような問題があった。

【0005】まず第1に、高集積化が進み、例えば、256Mビット程度の集積度になると、蓄積容量(Cs)を増加させるために、蓄積電極の高さを高くしたり、円筒型にしたりするなどの工夫が必要となる。このような手法を用いると、最終的なコンタクトホールの深さが2μm程度にもなり、例えば、0.3μm径のコンタクトホールではアスペクト比が6以上となる。この結果、深さが深いものから浅いものまで各種アスペクト比のコンタクトホールが混在することになり、製造歩留りが著しく低下するという問題があった。

【0006】第2に、Si基板側にn⁺型拡散層113、108などが存在するため、これらn⁺型拡散層113、108とSi基板101との間で接合リークが存在し、DRAMのポーズ特性を改善するのが困難になるという問題があった。

【0007】第3に、微細化によって各種コンタクトが各電極に対して合わせ余裕が取れなくなっており、何らかの自己整合法を用いていたが、非常に複雑で製造歩留りが低下するという問題があった。

【0008】第4に、キャパシタ電極の面積を大きくするには、ビット線112上にキャパシタ電極を形成することが望ましいが、ワード線104₁、104₂とビット線112との両方に自己整合的に拡散層にコンタクトを取ることが難しく、実現が困難であった。

【0009】

【発明が解決しようとする課題】上述の如く、従来構造のスタック型DRAMを更に高集積化しようと、第1に非常に深いコンタクトホールと浅いコンタクトホールとが混在するため製造歩留りが著しく低下し、第2にSi基板に高不純物濃度の拡散層が深く入り込むため接合リークが低減できず、第3にゲート電極やビット線電極への自己整合技術が複雑で製造歩留りが低下し、第4にワード線、ビット線両電極に自己整合することが困難であるという問題があった。本発明は、上記事情を考慮してなされたもので、その目的とするところは、高集積化が容易な半導体記憶装置を提供することにある。

【0010】

【課題を解決するための手段】上記の目的を達成するために、本発明の半導体記憶装置は、半導体基板のメモリセル領域に形成された第1のMOSトランジスタと、半導体基板の周辺回路領域に形成された第2のMOSトランジスタと、前記第1のMOSトランジスタの第1の不純物拡散層及び前記第2の不純物拡散層上に設けられ、前記第1の不純物拡散層及び第2の不純物拡散層の不純物濃度より高い不純物濃度を有するエピタキシャル層と、前記半導体基板上に設けられ、前記エピタキシャル

層及び前記第2のMOSトランジスタの不純物拡散層上にコンタクトホールを有する層間絶縁膜層と、前記第1の不純物拡散層のエピタキシャル層上の前記コンタクトホールを充填する前記層間絶縁膜上に形成された配線層と、この配線層と同一工程で形成され、前記第2のMOSトランジスタの不純物拡散層上の前記コンタクトホールを充填する前記配線層と同じ材料からなる充填層と、前記第2の不純物拡散層と電気的に接続するキャパシタとを備えたことを特徴とする。

【0011】

【作用】本発明の半導体記憶装置では、第1の不純物拡散層及び第2の不純物拡散層の不純物濃度より高い不純物濃度を有するエピタキシャル層が、第1の不純物拡散層及び第2の不純物拡散層上に設けられている。これにより、接合リークを低下させたり、トランジスタのショートチャネル効果を抑制したり、信頼性を向上させたりできる。また、エピタキシャル層の表面にシリサイド層をはりつけることによりメタルコンタクトのショットキーコンタクトを防止し、オーミックコンタクトを実現できる。また、エピタキシャル層がフィールド上にも延在することにより、コンタクトマージンを広げたりすることができる。

【0012】また、本発明の半導体記憶装置では、充填層を配線層と同一工程で形成している。即ち、配線層を充填層として利用することにより、スタック型メモリセルによってもたらされる周辺回路領域の深いコンタクトホールが、充填層の分だけコンタクトホールの深さが浅くなる。このため、後のコンタクトを取る場合にコンタクトホールの深さが揃うと同時に下地の材質も揃う結果、高歩留りのコンタクトを実現できる。

【0013】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。

【0014】図1は本発明の一実施例に係るスタック型DRAMのメモリセルの概略構成を示す図で、同図

(a)は平面図で、同図(b)は同図(a)のメモリセルのA-A'断面図である。図2(a)、(b)はそれぞれ図1(a)のメモリセルのB-B'断面図、C-C'断面図である。また、図3は同スタック型DRAMの周辺回路の概略構成を示す図で、同図(a)は平面図で、同図(b)は同図(a)の周辺回路のA-A'断面図である。本実施例のスタック型DRAMでは、A1配線層29がワード線4のシャント層として用いられており、図9の従来のそれと異なる点は次の4点である。

【0015】まず、第1の異なる点は、ビット線層14に接続するSi基板側には、n⁻型又はp⁻型の低不純物濃度の不純物拡散層7、7a(第1の不純物拡散層)が形成され、これら不純物拡散層7、7aは、n⁺型又はp⁺型の高不純物濃度のエピタキシャルSi層9でSi基板1より上に持ち上げられており、そして、エピタ

キシャルSi層9の表面にシリサイド層10が形成されていることにある。これにより接合リークを低下させたり、トランジスタのショートチャネル効果を抑制したり、信頼性を向上させたりできる。シリサイド層10によりメタルコンタクトのショットキーコンタクトを防止し、高不純物濃度のn型及びp型の拡散層へのオーミックコンタクトを実現している。また、シリサイド層10は、エピタキシャルSi層9の表面に形成されているため、後の熱工程などでシリサイド層10が不均一にSi基板1に入り込んで接合が破壊することを防止し、製品の歩留りが向上できる。

【0016】第2の異なる点は、周辺回路のA1配線層29が低濃度の拡散層7aに直接にはコンタクトせず、メモリセル領域の下部ビット線14₁、上部ビット線層14₂と同じ工程で形成され、これら下部ビット線14₁、上部ビット線層14₂と同じ材料からなる充填層14_{1a}、14_{2a}を介してコンタクトしていることにある。このため、スタック型メモリセルによってもたらされる周辺回路領域の深いコンタクトホールが、充填層14_{1a}、14_{2a}の分だけコンタクトホールの深さが浅くなる。このため、後のコンタクトを取る場合にコンタクトホールの深さがそろうと同時に下地の材質も揃う結果、高歩留りのコンタクトを実現できる。

【0017】第3の異なる点は、ゲート電極4又はビット線14への自己整合コンタクトは、各電極の表面又は側面に設けられたSi、N_x膜かなるゲートキャップ層5又はビット線キャップ層15、スペーサ層8だけをストッパー層として使用することにより行なわれていることにある。

【0018】第4の異なる点は、キャパシタ電極部(多結晶Si膜20、22、プレート電極24)は、エピタキシャルSi層9、シリサイド層10上に形成されたプラグ層12(導電層)を介して低濃度の不純物拡散層7(第2の不純物拡散層)とコンタクトすることにある。

【0019】即ち、実効的に低濃度の不純物拡散層7がゲート電極4より上の位置にまで持ち上げられたことになる。このため、ビット線を蓄積電極より先に形成するプラグ層12によるスタック型メモリセルにおいては、後工程でのキャパシタ電極コンタクトの形成の際に、ビット線だけへの自己整合を行えば良く、工程を大幅に簡略化できると共に、製造歩留りを著しく向上できる。次にこのような特徴を有するDRAMの製造方法を図4～図9を用いて説明する。

【0020】まず、図4(a)、(b)(それぞれ図1(a)の平面図、図1(b)の断面図に対応、図4以降の図も同様)に示すように、不純物濃度 $5 \times 10^{15} \text{ cm}^{-3}$ 程度のp型又はn型Si基板1の(100)面にnチャネルトランジスタ領域にはPウェル、また、Pチャネルトランジスタ領域にはnウェルを形成する。次いで例

えば、反応性イオンエッチング (RIE) を用いてSi基板1に溝を掘り、絶縁膜2を埋込むいわゆるトレンチ分離又はSi₃N₄膜を用いたいわゆるLOCOS法によりフィールド絶縁膜2を形成する。ここでは、チャンネルストッパー層の図示は省略してあるが必要であれば形成する。

【0021】次いで素子形成領域のSi基板1の表面を露出させた後、厚さ10nm程度のゲート酸化膜3を形成し、このゲート酸化膜3上にゲート電極4を形成する。このゲート電極4は、抵抗を小さくするためにいわゆるポリサイド構造を採用しているが、単純な多結晶Si層のみでも良い。このゲート電極4の下層は、厚さ100nm程度のリン等の不純物がドーブされた多結晶Si層4₁であり、上層は、厚さ150nm程度のタンゲステンシリサイド (WSi₂) 層4₂である。

【0022】次いでこのWSi₂層4₂上に後工程の自己整合工程時によるゲート電極4へのエッチングストッパー層となるSi窒化膜 (Si₃N₄) からなるゲートギャップ層5を形成した後、このゲートギャップ層5上にレジストパターン (図示せず) を形成し、続いて、このレジストパターンをマスクに用いて、ゲートギャップ層5、シリサイド層4₂、多結晶Si層4₁を連続加工する。次いでゲート電極4と低濃度の不純物拡散層7との耐圧を向上させるために、例えば、800℃、O₂雰囲気、30分程度の熱酸化を行ない、いわゆる後酸化膜6を形成する。

【0023】この後、LDD構造を形成するために、レジストパターン (不図示) を形成し、後酸化膜6を通してn型の不純物イオンをSi基板1の所望の表面に注入し、選択的に低濃度のn型不純物拡散層7を形成する。pチャンネルトランジスタ領域へも同様に、低濃度のp型不純物拡散層をイオン注入によって形成する。なお、イオン注入の濃度はnチャンネル、pチャンネルともに $5 \times 10^{13} \text{ cm}^{-2}$ 程度とする。次に図5 (a), (b) に示すように、本発明の特徴の1つである高不純物濃度の不純物拡散層を形成する。

【0024】即ち、まず、全面に厚さ50nm程度のSi₃N₄膜をCVD法により堆積した後、RIE法により全面エッチングを行ないゲート電極4の側壁に幅50nm程度の上記Si₃N₄膜からなるスペーサ層8を形成する。このとき、低濃度の不純物拡散層7の領域のSi基板1の表面を露出させる。次いでこの露出したSi基板1の表面に選択的に厚さ200nm程度のエピタキシャルSi層9を成長させる。

【0025】この後、nチャンネル領域のエピタキシャルSi層9に、例えば、ドーズ量 $5 \times 10^{15} \text{ cm}^{-2}$ 程度のひ素イオンを注入し、nチャンネル領域のエピタキシャルSi層9が高濃度のn型不純物拡散層として機能するようにする。同様に、pチャンネル領域の不純物拡散層7のエピタキシャルSi層9に、例えば、ドーズ量 5×10

$^{16} \text{ cm}^{-2}$ 程度のBF₃⁺を注入し、pチャンネル領域のエピタキシャルSi層9が高濃度のp型不純物拡散層として機能するようにする。

【0026】次いでエピタキシャルSi層9の表面のみにシリサイド層10を形成する。このシリサイド層10の形成は、例えば、全面にTiをスパッタ法により、50nm程度形成し、引き続き、シリサイド化のための熱処理 (例えば600℃、N₂、30分の熱処理) を行ない、最後に、ゲートギャップ層5上やスペーサ層8上の未反応のTi層を除去する。これにより、露出していたエピタキシャルSi層9の表面にのみシリサイド層 (TiSi₂) 10を選択的に形成できる。他のシリサイド材料として、例えば、ニッケルシリサイドやコバルドシリサイド等を用いても良い。次に図6 (a),

(b) に示すように、本発明の特徴の1つであるキャパシタ電極部の自己整合エッチング技術を用いたプラグ層の形成を行なう。

【0027】即ち、まず、全面に層間絶縁膜11として、例えば、BPSG膜をCVD法で約600nm堆積した後、化学的・機械的に基板全面を研磨するいわゆるケミカルメカニカルポリッシング法を用いてゲート電極4上の層間絶縁膜11の膜厚が約200nm程度になるように平坦化エッチングする。ここで、他の平坦化法、例えば、レジストを塗布して下地を平坦化した後、レジストと絶縁膜とのエッチング速度がほぼ等しくなるような条件でエッチングするいわゆるレジストエッチバック法を用いても良い。

【0028】次いで層間絶縁膜11上にキャパシタ電極部と低濃度の不純物拡散層7とのコンタクトを取るためのコンタクトホール用のレジストパターン (不図示) を形成し、これをマスクとして用い、層間絶縁膜11を選択的にエッチングしてシリサイド層10を露出してコンタクトホールを開孔する。この層間絶縁膜11の選択エッチングは、例えば、RIEを用いて行ない、そのエッチング条件は、スペーサ層8 (Si₃N₄膜) に対してBPSG膜のエッチング速度が遅い条件にする。例えば、エッチングガスとしてCHF₃とCOとの混合ガスを用い、6mTorr程度の真空度などで実現することができる。これ以外の設定条件でも上記エッチング条件を実現できる。

【0029】このようにすると、層間絶縁膜11 (BPSG膜) はエッチングされるが、ゲート電極4上のゲートギャップ層 (Si₃N₄) 5や、ゲート電極4の側壁のスペーサ層 (Si₃N₄) 8はエッチングされず、後工程で形成するキャパシタ電極部とゲート電極4とのショートを防ぐことができる。即ち、新たなエッチングストッパー層が不要になり、複雑な工程を用いなくても、自己整合的にコンタクトホールを開孔できる。

【0030】次いで全面にプラグ層12となる例えば砒素をドーブした多結晶Si層をコンタクトホールが完全

に埋まるまで堆積する。例えば、 $0.4\mu\text{m}$ 径のコンタクトホールならば、 400nm 程度の膜厚だけ堆積し、ケミカルドライエッチング(CDE)法を用いてエッチバックを行ない、コンタクトホールを多結晶Si層で充填する。これにはケミカルメカニカルポリッシング法を用いても良い。このような工程により低濃度の不純物拡散層7'と電気的に接続された多結晶Si層からなるプラグ層12をゲート電極4より上の位置に形成できる。これは後の工程でキャパシタ電極部を形成するとき非常に有効に働く構造である。

【0031】なお、ここでは、層間絶縁膜11にBPSG膜を用いる例を示したが、他の膜、例えば、プラズマ酸化膜や、オゾン(O_3)-TEOS膜やその他のなるべく低温で形成できる絶縁膜であって、RIE時においてSi、 N_4 膜よりエッチングが速い膜であればどのような絶縁膜でも良い。次に図7(a)、(b)に示すように、本発明の特徴の1つである周辺回路部のコンタクトホールの深さを浅くする工程に進む。

【0032】即ち、プラグ層12の絶縁のために全面に層間絶縁膜13として、例えば、CVD法により膜厚 100nm 程度の SiO_2 膜を堆積する。次いで低濃度の不純物拡散層7とビット線層14とのコンタクトを取るためのコンタクトホールを通常のリソグラフィ工程を用いて形成する。

【0033】このコンタクトホールの開孔も、図6の工程と同様に SiO_2 膜とSi、 N_4 膜とのエッチングレートの違いを用いて自己整合的に行なう。即ち、層間絶縁膜11、13(SiO_2 膜)はエッチングされるが、Si、 N_4 からなるゲートキャップ層5、スペーサ層8はほとんどエッチングされないようなエッチング条件でRIEを行なう。なお、 SiO_2 とSi、 N_4 のエッチング選択比が10以上になるような条件が望ましい。このとき、周辺回路の低濃度の不純物拡散層7aへのコンタクトホールも同時に開孔する。

【0034】即ち、図5の工程の際に形成した低濃度の不純物拡散層7、7'と、この上に形成したエピタキシャルSi層9と、この上に形成したシリサイド層10が積層形成された領域にもコンタクトホールを同時に形成する。換言すれば、メモリの低濃度の不純物拡散層7、7'のコンタクトホールと、周辺回路の低濃度の不純物拡散層7aのコンタクトホールを同時に形成する。

【0035】このとき、図8(図2も参照)からわかるように、エピタキシャルSi層9はフィールド絶縁膜2の上にも伸びて広がり、フィールドエッチとのコンタクトマージンを広げることに役立っている。つまり、フィールド絶縁膜2上でもコンタクトを取ることを可能にしている。

【0036】この後、ビット線層14を形成する。このビット線層14の材料としては、配線抵抗を下げるため、並びに持ち上げコンタクトの抵抗を減らすために、

金属材料を用いるほうが望ましい。例えば、CVD法で形成するタングステン(W)膜を用いる。

【0037】この場合、下地の層間絶縁膜13(SiO_2)とW膜との剥がれを防止するために、TiN膜又はスパッタ法で形成したW膜を下部ビット線層14₁として用いる。

【0038】即ち、まず、コンタクトホールを開けた後、CVD法を用いてTiNからなる厚さ 50nm の下部ビット線層14₁を形成し、引き続き、CVD法を用いて厚さ 100nm のWからなる上部ビット線層14₂を形成する。次いでゲートキャップ層15として、例えば、厚さ 150nm のプラズマ窒化膜(Si_3N_4)を形成した後、この上に順次通常のリソグラフィ技術を用いてレジストパターンを形成する。そして、このレジストパターンをマスクに用いて、ゲートキャップ層15、上部ビット線層14₂、下部ビット線層14₁を順次RIEにより加工する。

【0039】なお、メモリセル部の構造はスタック型メモリセルにおけるビット線先作り型であるが、周辺回路部では、不純物拡散層7aのコンタクトホールがゲート電極4に自己整合的に形成され、一度、メモリセル領域のビット線層14₁、14₂と同一の充填層14_{1a}、14_{2a}によって持ち上げられる構造になる。

【0040】また、図8には示されていないが、ゲート電極4へのコンタクトも同時にビット線層14₁、14₂と同じ充填層14_{1a}、14_{2a}により持ち上げられ、周辺回路部の不純物拡散層7a及びゲート電極4は全てビット線層14₁、14₂と同じ充填層14_{1a}、14_{2a}層によって一度上の位置へ持ち上げられることになる。これによりメモリセル部と周辺回路部との後のメタル配線形成時のコンタクトホールの深さが揃い、スタック型メモリセルのような深いコンタクトホールを有するメモリセルの欠点を回避できる。

【0041】なお、図8に示すように、W膜やTiN膜などのビット線14₁、14₂の金属材料の表面を耐酸化性/耐熱性を向上させるために、例えば、プラズマ窒化処理などを行ない表面保護膜16を形成しておくことは非常に有効である。次に図9(a)、(b)に示すように、本発明の特徴の1つであるプラグ層12を用いたキャパシタ電極の形成工程について説明する。

【0042】即ち、ビット線層14の層間絶縁膜17として、全面にCVD法により 350°C 程度の低温で形成できる、例えば、オゾン-TEOS酸化膜を約 500nm 程度堆積する。

【0043】次いでケミカルメカニカルポリッシング法等により全面を平坦化し、ビット線層14上に層間絶縁膜17を約 100nm 程度残置させた後、全面に厚さ 50nm 程度のSi、 N_4 膜18をCVD法で堆積する。

【0044】次いでSi、 N_4 膜18上に通常のリソグラフィ法によりプラグ層12との接続のためのコンタ

クトホール用のレジストパターン（不図示）を形成した後、これをマスクとしてR I Eにより、 Si_3N_4 膜18、層間絶縁膜17、13を順次エッチングし、コンタクトホールを形成する。

【0045】このときも、図6、図7の工程のときと同じように、 SiO_2 膜の方が Si_3N_4 膜よりもエッチング速度が約10倍以上速いようなエッチング条件でエッチングすることにより、例えば、リソグラフィー時の合わせずれにより、ビット線14にコンタクトホールがかかっても、ビット線14の上のゲートキャップ層（ Si_3N_4 ）15でエッチングはストップする。しかも、プラグ層12までエッチングが達しても、プラグ層12がゲート電極4より例えば400nm程度上の位置にあるのでゲート電極4とショートすることを防止できる。

【0046】次いで全面に Si_3N_4 膜19を、例えば、50nm程度堆積した後、全面をR I Eによりエッチングすることによりコンタクトホールの側壁のみに Si_3N_4 膜19を残置し、プラグ材12の表面を露出させると共に、露出したビット線14の側面を後工程で形成するキャパシタ電極と絶縁分離されるようにする。次いで全面にキャパシタ下地電極（蓄積電極）としての砒素をドーブした多結晶 Si 膜20を、例えば、膜厚70nm程度堆積した後、全面にCVD法による SiO_2 膜21を、例えば、膜厚500nm程度堆積し、キャパシタ電極状に SiO_2 膜21をR I E法によりエッチング加工する。このとき、エッチングは多結晶 Si 膜20で止める。

【0047】次いでエッチングガス条件を変えて、下地の多結晶 Si 膜20を SiO_2 膜21と同じ形状にエッチング加工する。このとき、エッチングは下地の Si_3N_4 膜18で止める。そして、全面に、再度、キャパシタ下地電極層としての多結晶 Si 膜22を膜厚500nm程度堆積する。このとき、多結晶 Si 膜22とキャパシタ下地電極層としての多結晶 Si 膜20との電気的な接続を確実に低抵抗にするために、ひ素を4方向から角度をつけて（例えば30度程度のイオン注入角度で）イオン注入を行なう。または、リンドープ多結晶 Si にして確実に電気的接続を保っても良い。

【0048】次いで全面を多結晶 Si のエッチング条件でR I Eを行ない SiO_2 膜21及び多結晶 Si 膜20の側面に多結晶 Si 膜22を残置させる。このようにするとキャパシタ電極の大きさをリソグラフィーで決まる大きさよりも大きくできる。即ち、キャパシタ電極の面積を大きくでき、蓄積容量（Cs）を大きくすることができる。同じ容量（Cs）であればこの多結晶 Si 膜22の高さを低くできることになる。これは全体の段差を減らすのに非常に有効である。

【0049】次いで SiO_2 膜21を、例えば、 NH_4F 液等のエッチング溶液を用いて除去する。このとき、下地の Si_3N_4 膜18によって、 NH_4F 液による下

地の層間絶縁膜17のエッチングを防止できる。次にキャパシタの形成工程に入るが、2通りのキャパシタ絶縁膜の形成法がある。第1の方法は、通常のいわゆるNO膜を用いるやりかたである。

【0050】即ち、まず、キャパシタ下地電極としての多結晶 Si 層20、22の表面の自然酸化膜をシランガス（ SiH_4 ）により除去した後、同じ真空中で多結晶層20、22の表面に Si_3N_4 膜を高温（例えば800℃）でアンモニアガス（ NH_3 ）を流すことにより例えば1nm程度形成する。

【0051】この後、全面にキャパシタ絶縁膜23として Si_3N_4 膜を膜厚60nm程度堆積し、その表面を例えば800℃、 HCl 、10%の雰囲気中で60分程度酸化することにより、いわゆるトップ酸化膜を約2nm程度形成する。次いで全面にプレート電極24となる多結晶膜を堆積し、これをパターニングしてプレート電極24を形成する。

【0052】次いでその上に層間絶縁膜25として、例えば、プラズマTEOS膜（ SiO_2 膜）を全面に約100nm程度堆積した後、全面にオゾンTEOS膜26を、例えば、1000nm程度堆積する。そして、ケミカルメカニカルポリッシング技術などを用いて表面を平坦化し、その上の全面に再度、Al配線29の下地となる層間絶縁膜27としてプラズマTEOS膜を約100nm程度堆積する。

【0053】第2の方法は、キャパシタ絶縁膜として高誘電体膜、例えば、タンタルオキサイド膜（ Ta_2O_5 膜）を用いるやりかたである。他の高誘電体膜、例えば、チタン酸ストロンチウム（ SrTiO_3 ）膜等でも同様であるが、それぞれの膜のキャパシタ電極との反応を考えて、電極材料や表面処理を工夫して使用、選択する必要がある。

【0054】一例として、 Ta_2O_5 膜の場合について説明する。まず、NO膜の場合と同じように、キャパシタ下地電極としての多結晶 Si 膜20、22の表面の自然酸化膜を例えばシラン還元法などにより除去した後、表面に Si_3N_4 膜を1nm程度形成する。

【0055】次いで全面にキャパシタ絶縁膜23として Ta_2O_5 膜をCVD法により形成した後、 Ta_2O_5 膜の誘電率を向上させるために、750℃程度の N_2 アニールを行なう。

【0056】次いでプレート電極24としてチタンナイトライド膜（ TiN ）膜、カーボン膜（C）又はニッケル（Ni）膜を形成する。若しくはプレート電極24の抵抗を下げたり、剥がれを防止するために、表面にW膜又はAl膜を同時に形成しても良い。

【0057】次いで前のNO膜の場合と同様に層間絶縁膜25、26としてそれぞれ低温で形成できるプラズマTEOS膜（ SiO_2 膜）、オゾン（ O_3 ）-TEOS膜をそれぞれ100nm、1000nm程度全面に堆

12

辺回路領域の深いコンタクトホールが、充填層の分だけコンタクトホールの深さが浅くなり、コンタクト不良による歩留りの低下を防止できる。

【図面の簡単な説明】

【図１】本発明の一実施例に係るスタック型ＤＲＡＭのメモリセルの概略構成を示す図。

【図2】図1のスタック型DRAMのメモリセルのB-B'断面図。

【図3】図1のスタック型DRAMの周辺回路の概略構成を示す図。

【図4】本発明の一実施例に係るスタック型DRAMのメモリセルの製造工程断面図。

【図5】本発明の一実施例に係るスタック型DRAMのメモリセルの製造工程断面図。

【図6】本発明の一実施例に係るスタック型DRAMのメモリセルの製造工程断面図。

【図7】本発明の一実施例に係るスタック型DRAMの
周辺回路部の製造工程断面図。

【図8】本発明の一実施例に係るスタック型DRAMの
20 メモリセルの製造工程断面図。

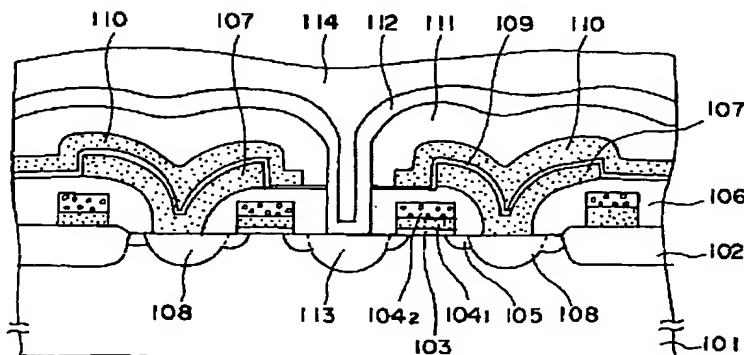
【図9】本発明の一実施例に係るスタック型DRAMのメモリセルの製造工程断面図。

【図10】従来のスタック型DRAMのメモリセルの素子断面図。

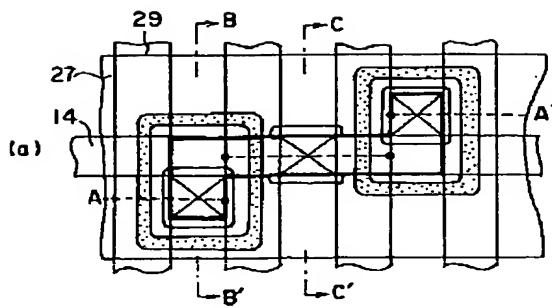
【符号の説明】

1, 101...Si基板、2, 102...フィールド絶縁膜、3, 103...ゲート絶縁膜、4, 104...ゲート電極、5...ゲートキャンパ層、8...スペーサー層、7, 105...不純物拡散層、9...エピタキシャルSi層、10...シリサイド層、12...プラグ層、14, 112...ビット線層、14₁, 14₂...充填層、11, 13, 17, 25, 26, 27, 106, 111, 114...層間絶縁膜、20, 22, 107...多結晶Si膜、23, 109...キャパシタ絶縁膜、24, 110...プレート電極、A1配線...29。

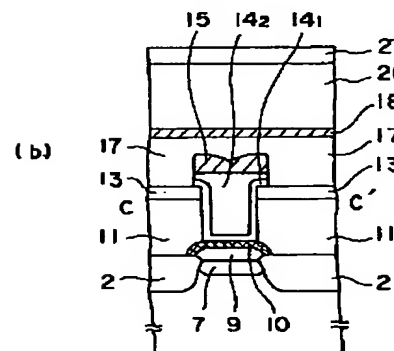
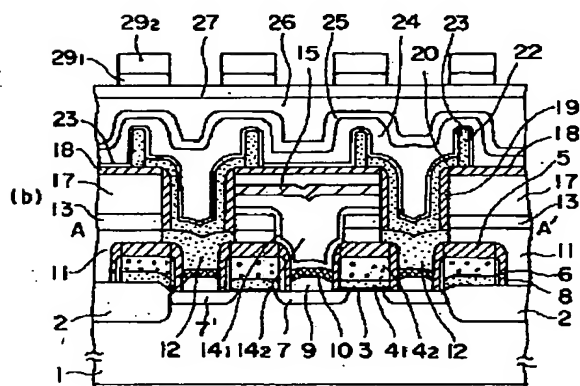
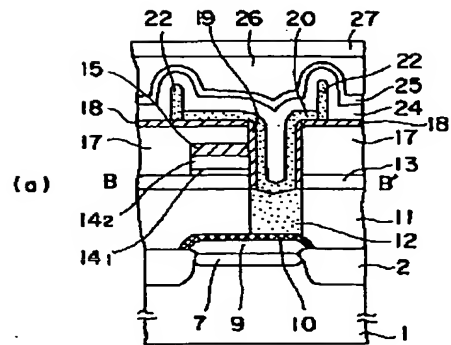
【图 10】



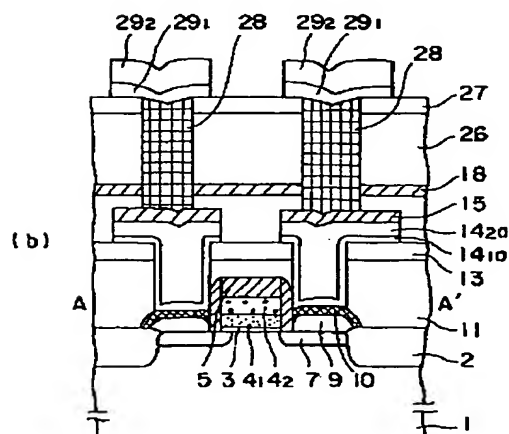
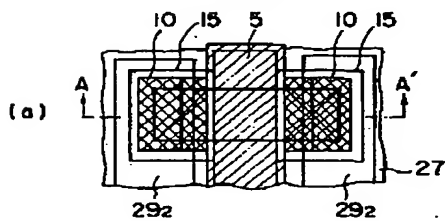
【图 1】



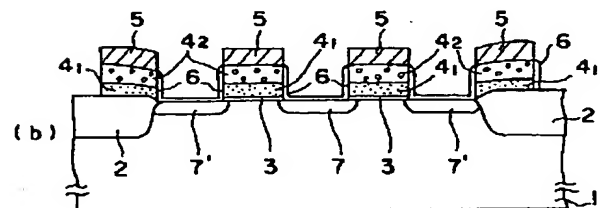
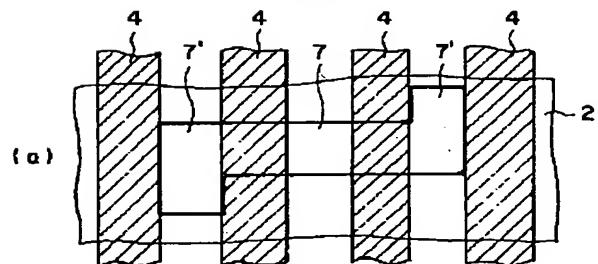
【図2】



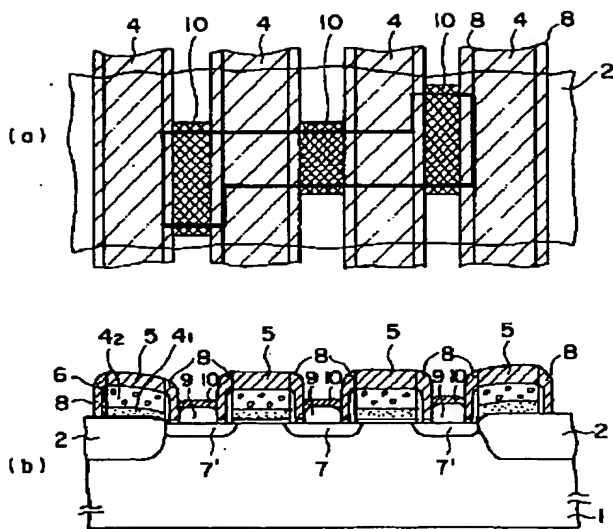
【図 3】



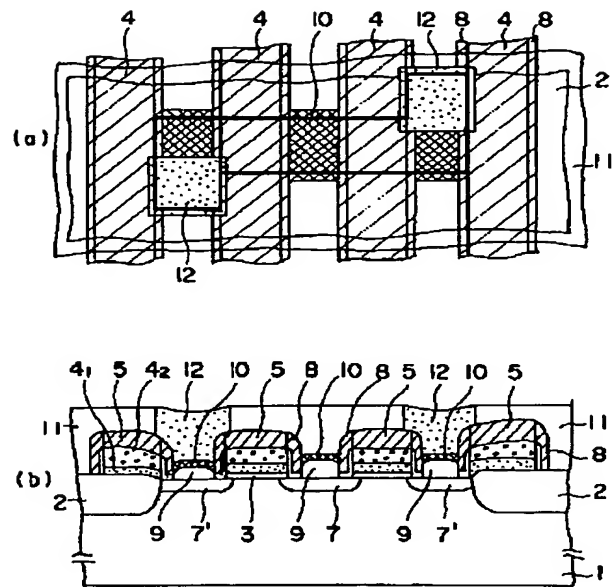
【図4】



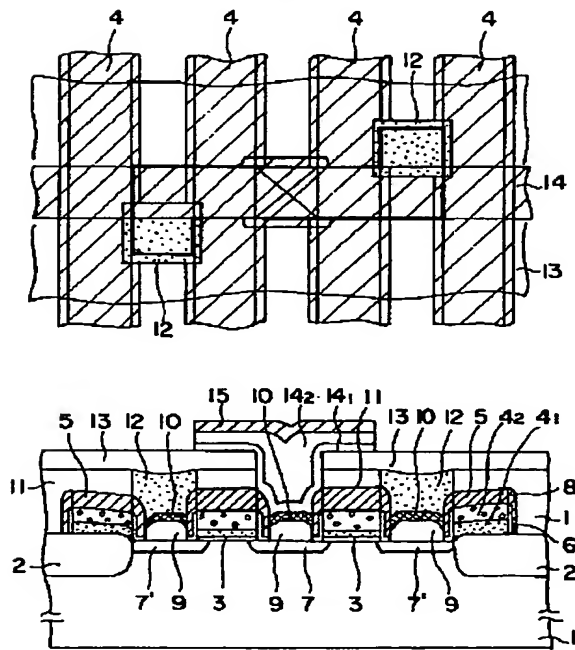
【図5】



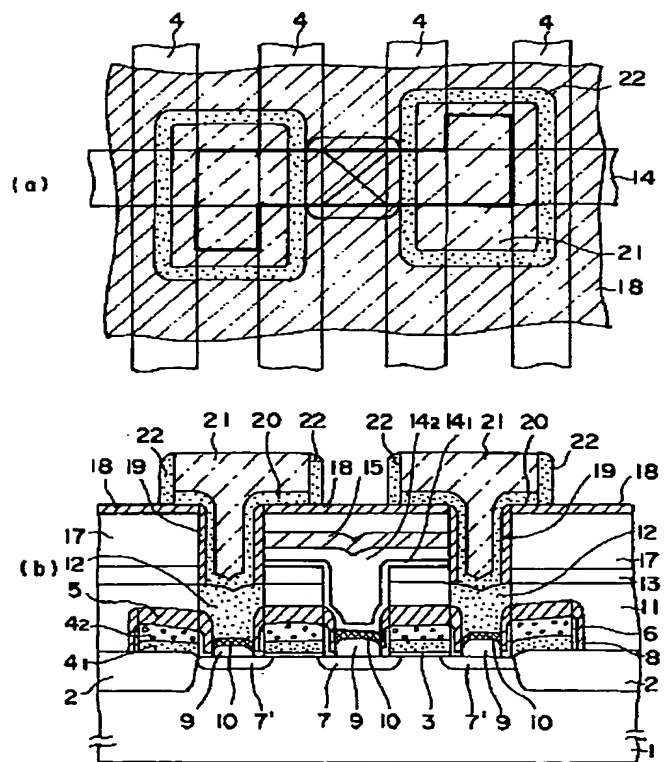
【図6】



【図7】



【図9】



フロントページの続き

(72)発明者 尾崎 徹
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内

(72)発明者 山田 敬
神奈川県川崎市幸区小向東芝町1番地 株
式会社東芝総合研究所内